

Family list

2 family member for:

JP63251164

Derived from 1 application.

1 MANUFACTURE OF SEMI-CONDUCTOR DEVICE

Publication info: JP2541214B2 B2 - 1996-10-09

JP63251164 A - 1988-10-18

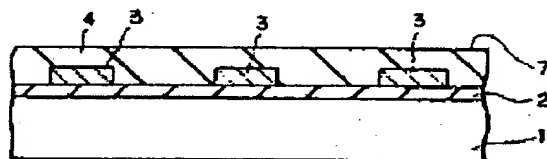
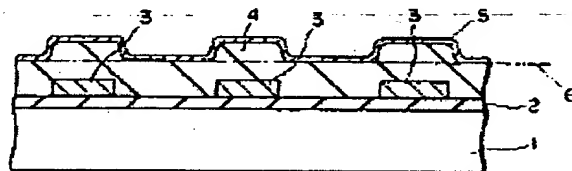
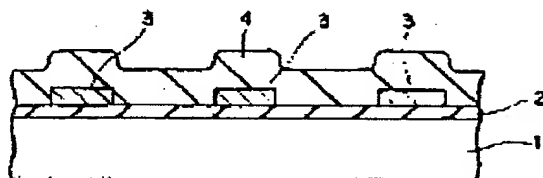
Data supplied from the *esp@cenet* database - Worldwide

MANUFACTURE OF SEMI-CONDUCTOR DEVICE**Patent number:** JP63251164**Publication date:** 1988-10-18**Inventor:** HAYASHI HISAO**Applicant:** SONY CORP**Classification:****- international:** B24B37/04; H01L21/304; H01L21/3205; B24B37/04;
H01L21/02; (IPC1-7): B24B37/04; H01L21/304**- european:****Application number:** JP19870081753 19870402**Priority number(s):** JP19870081753 19870402

Report a data error here

Abstract of JP63251164

PURPOSE: To provide simple and perfectly flat surface by forming a film covering over an uneven surface, then forming an end-point sensing film on the first named film, and performing polishing of the covered surface until the end-point sensing film is removed completely. **CONSTITUTION:** Wiring film 3,... consisting for ex. of Al are formed over an oxidation film 2 on the surface of a semi-conductor base board 1, followed by formation of an interlayer insulation film 4 consisting of SiO₂. Then an end-point sensing film 5 is formed on the interlayer insulation film 4. The surface of the interlayer insulation film 4 is polished, that is continued until the end-point sensing film 5 is removed completely (to the line 6 shown by the two-dotted chain line in attached illustration). This can make the surface of film 4 extraordinarily flat 7. This end sensing with an end-point sensing film 5 should eliminate excessive or insufficient polishing of the film 4, and there is no risk of generation of unevenness in flatness nor unevenness in the film thickness of the interlayer insulation film 4.



Data supplied from the esp@cenet database - Worldwide

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A)

昭63-251164

⑰ Int. Cl.⁴

識別記号

庁内整理番号

⑱ 公開 昭和63年(1988)10月18日

B 24 B 37/04
H 01 L 21/304

D-8308-3C
B-7376-5F

審査請求 未請求 発明の数 1 (全3頁)

① 発明の名称 半導体装置の製造方法

② 特 願 昭62-81753

③ 出 願 昭62(1987)4月2日

④ 発 明 者 林 久 雄 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑤ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
⑥ 代 理 人 弁理士 尾川 秀昭

明 細 書

G. 実施例〔第1図乃至第3図〕

H. 発明の効果

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 凹凸のある面上に全面的に被膜を形成し、

上記被膜の表面に終点検出膜を形成し、

上記被膜を上記終点検出膜が完全に除去される
までポリッシングする

ことを特徴とする半導体装置の製造方法

3. 発明の詳細な説明

以下の順序に従って本発明を説明する。

A. 産業上の利用分野

B. 発明の概要

C. 従来技術

D. 発明が解決しようとする問題点

E. 問題点を解決するための手段

F. 作用

(A. 産業上の利用分野)

本発明は半導体装置の製造方法、特に凹凸のある
面上に表面が平坦な被膜を形成する半導体装置
の製造方法に関する。

(B. 発明の概要)

本発明は、半導体装置の製造方法において、
凹凸のある面上に表面が平坦な被膜を形成する
ため、

被膜形成後該被膜上に終点検出膜を形成し、そ
の後被膜表面を終点検出膜が完全に除去されるま
でポリッシングするものである。

(C. 従来技術)

多層配線に必要な技術のなかで特に難しいもの
の一つに平坦化技術がある。

従来の平坦化技術としては、凹凸のある表面に

特開昭63-251164(2)

レジスト膜を表面が平坦になるように塗布し、該レジスト膜をエッチングするエッチバック法、半導体ウエハを高速回転させ、その表面にガラスを塗布するSOG法等があった。

(D. 発明が解決しようとする問題点)

ところで、上述した従来の各平坦化技術は面倒であり、しかも、必ずしも被膜の表面を完全に平坦化することができなかった。しかし、素子の高密度化とともに凹凸のアスペクト比が高くなるにつれてより平坦度の高い表面を得る必要性が高まり、また1つの半導体装置を得るために必要となる表面平坦化の回数が増える傾向にある。従って、より簡単で且つより完全な平坦面が得られる平坦化技術が要請されている。

本発明はかかる要請に応えるべく為されたもので、簡単で且つ完全な平坦面を得ることのできる半導体装置の製造方法を提供することを目的とする。

(G. 実施例) [第1図乃至第3図]

以下、本発明半導体装置の製造方法を図示実施例に従って詳細に説明する。

第1図乃至第3図は本発明半導体装置の製造方法の一つの実施例を工程順に示す断面図である。

(1) 半導体基板1表面の酸化膜2上に例えばAlからなる配線膜3、3、・・・を形成した後、SiO₂からなる層間絶縁膜4を形成する。第1図は層間絶縁膜4形成(第1の工程)後の状態を示す。

(2) 次に、上記層間絶縁膜4上に終点検出膜5を形成する。終点検出膜5はCVDあるいは蒸着法によりAl等の金属あるいはアモルファスSiで形成する。第2図は終点検出膜5形成(第2の工程)後の状態を示す。

(3) 次に、層間絶縁膜4の表面をポリッシングする。このポリッシングは終点検出膜5が完全に除去されるまで(第2図の2点鎖線で示すライン6のところまで)行う。このポリッシングの終

(E. 問題点を解決するための手段)

本発明半導体装置の製造方法は上記問題点を解決するため、凹凸のある面上に被膜を形成した後該被膜上に終点検出膜を形成し、その後被膜表面を終点検出膜が完全に除去されるまでポリッシングすることを特徴とする。

(F. 作用)

本発明半導体装置の製造方法によれば、ポリッシングにより被膜の表面を平坦化するので非常に平坦度が高い面が得られる。しかも、被膜の表面に終点検出膜を形成したうえで被膜の表面をポリッシングするので、終点検出膜が完全に除去されるまでポリッシングしたとき表面に凹凸の全くない被膜が得られることになり、終点検出を容易にし得る。

そして、ポリッシング自身メカニカルな方法であれケミカルな方法であれ非常に簡単な方法である。しかして、表面が平坦な被膜を簡単に得ることができる。

了のタイミングは終点検出膜5のポリッシングが終了したことを確認することによって検知することができる。この終点検出膜5のポリッシングの終了検知は、具体的には、ポリッシング中に使う水等の中のAl等を電気的抵抗の測定あるいは化学的手法により検出するという方法によって行うことができる。

このポリッシングによって被膜4の表面を非常に平坦な面7にすることができる。第3図はポリッシング(第3の工程)後の状態を示す。

尚、このポリッシングは、削り取る厚さが非常に薄いこと、メカニカルポリッシングのみによるウエハ全体の平坦度が悪くなる虞れがあることに鑑みてメカニカルとケミカルの両方をミックスした方法で行うことが好ましい。

このような半導体装置の製造方法は被膜4形成後終点検出膜5を形成し、ポリッシングするという簡単な方法で被膜4の表面の平坦度を非常に高くすることができる。しかも、終点検出膜5をつけて終了検出をするようにしたので被膜4をポ

特開昭63-251164(3)

リッパシグし過ぎたり、ポリッパシグ不足になつたりする虞れをなくすることができ、また平坦度バラツキが生じたり、絶縁膜4の膜厚にバラツキが生じたりする虞れもなくなることができる。

(H. 発明の効果)

以上に述べたように、本発明半導体装置の製造方法は、凹凸のある面上に全面的に被膜を形成し、上記被膜の表面に終点検出膜を形成し、上記被膜を上記終点検出膜が完全に除去されるまでポリッパシグすることを特徴とするものである。

従って、本発明半導体装置の製造方法によれば、ポリッパシグにより被膜の表面を平坦化するので非常に平坦度が高い面が得られる。しかも、被膜の表面に終点検出膜を形成したうえで被膜の表面をポリッパシグするので、終点検出膜が完全に除去されるまでポリッパシグしたとき表面に凹凸の全くない被膜が得られることになり、終点検出を容易に為し得る。

そして、ポリッパシグ自身はメカニカルな方法であれケミカルな方法であり非常に簡単な方法である。しかして、表面が平坦な被膜を簡単に得ることができる。

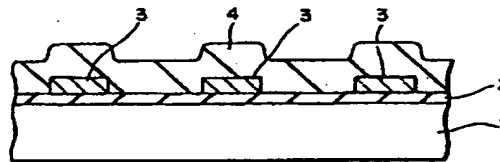
4. 図面の簡単な説明

図面は本発明半導体装置の製造方法の一つの実施例を工程順に示す断面図で、第1図は第1の工程を、第2図は第2の工程を、第3図は第3の工程をそれぞれ示す。

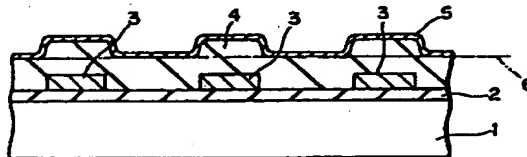
符号の説明

4・・・被膜、5・・・終点検出膜。

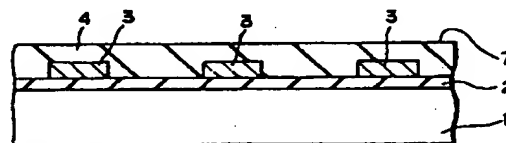
出願人 ソニー株式会社
代理人 弁理士 尾川 秀 昭



第1の工程を示す断面図
第1図



第2の工程を示す断面図
第2図



第3の工程を示す断面図
第3図

4・・・被膜
5・・・終点検出膜